

PUBLICATION NUMBER : 08306708
PUBLICATION DATE : 22-11-96

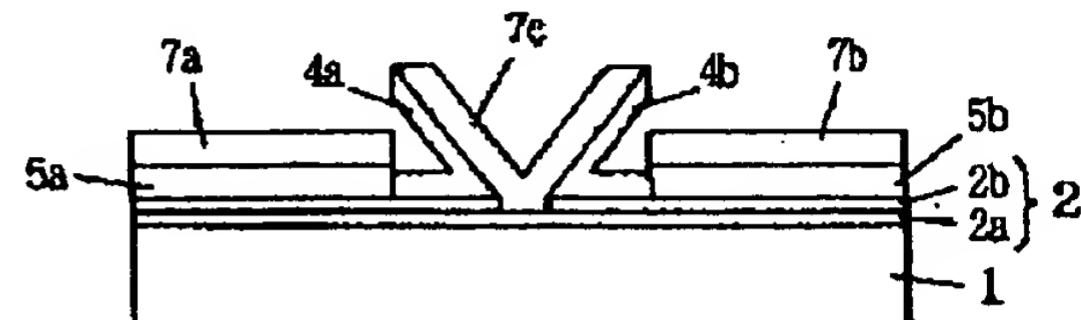
APPLICATION DATE : 09-05-95
APPLICATION NUMBER : 07110885

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : HARADA YASOO;

INT.CL. : H01L 21/338 H01L 29/812 H01L 29/41

TITLE : SEMICONDUCTOR DEVICE AND ITS
FABRICATION



ABSTRACT : PURPOSE: To provide a semiconductor device having low parasitic capacity, and its fabrication method, in which a self-aligned electrode can be formed while monitoring the magnitude of source-drain current.

CONSTITUTION: A resist pattern having inverse trapezoidal cross-section is formed on a working layer 2 followed by formation of an insulating film on the entire surface. The insulating film is then removed from the upper surface of the working layer 2 and resist pattern thus forming a pair of inclining side wall parts 4a, 4b of insulating film. Subsequently, a first electrode layer is formed on the upper surface of the working layer 2 and resist pattern, the first electrode layer on the resist pattern is removed together with the resist pattern, and heat treatment is effected thus forming ohmic electrodes 5a, 5b. While monitoring the magnitude of current flowing between the ohmic electrodes 5a, 5b, a recess is made in the region of working layer 2 exposed between the pair of side wall parts 4a, 4b and a gate electrode, i.e., a second electrode layer 7c, is formed in the recess and on the inner face at the side wall parts 4a, 4b.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-306708

(43)公開日 平成8年(1996)11月22日

(51)Int.Cl.⁶
H 01 L 21/338
29/812
29/41

識別記号
H 01 L 21/338
29/812
29/41

府内整理番号
7376-4M

F I
H 01 L 29/80
29/44

技術表示箇所
F
C

審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号 特願平7-110885

(22)出願日 平成7年(1995)5月9日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 富永 久昭

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 東野 太榮

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 原田 八十雄

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

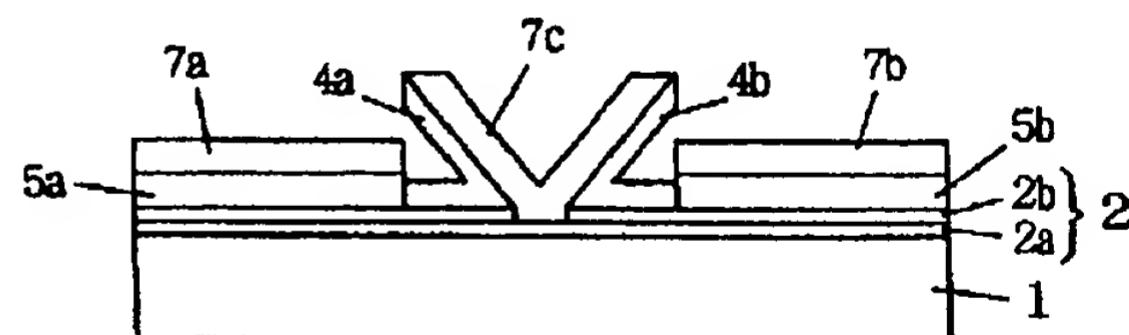
(74)代理人 弁理士 福島 祥人

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 ソース・ドレイン間電流の値をモニタしながら自己整合的に電極形成を行うことができ、かつ寄生容量の小さい半導体装置およびその製造方法を提供することである。

【構成】 動作層2上に断面逆台形状のレジストパターンを形成し、全面に絶縁膜を形成した後、動作層2の上面およびレジストパターンの上面の絶縁膜を除去することにより絶縁膜からなる傾斜した1対の側壁部4a, 4bを形成する。動作層2の上面およびレジストパターンの上面に第1の電極層を形成し、レジストパターン上の第1の電極層をレジストパターンとともに除去し、熱処理を施すことによりオーミック電極5a, 5bを形成する。オーミック電極5a, 5b間の電流の値をモニタしながら1対の側壁部4a, 4b間に露出している動作層2の領域にリセス部を形成し、リセス部内および側壁部4a, 4bの内面にゲート電極となる第2の電極層7cを形成する。



【特許請求の範囲】

【請求項1】 半導体層上に絶縁膜からなる1対の側壁部を上端間の距離が下端間の距離に比べて大きくなるように互いに逆方向に傾斜させて形成し、前記1対の側壁部の外方の前記半導体層の領域上にそれぞれ第1の電極層を形成し、前記1対の側壁部間の前記半導体層の領域に凹部を形成し、前記凹部内および前記1対の側壁部の内面に第2の電極層を形成したことを特徴とする半導体装置。

【請求項2】 半導体層上に断面逆台形状のレジスト膜を形成し、前記半導体層および前記レジスト膜の全面に絶縁膜を形成した後、前記半導体層の上面および前記レジスト膜の上面の絶縁膜を除去し、前記半導体層の上面および前記レジスト膜の上面に第1の電極層を形成し、前記レジスト膜上の前記第1の電極層を前記レジスト膜とともに除去することにより絶縁膜からなる傾斜した1対の側壁部を形成し、前記1対の側壁部間の前記半導体層の領域に凹部を形成し、前記凹部内および前記1対の側壁部の内面に第2の電極層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ゲート電極およびオーミック電極を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 GaAsを用いたMES-FET(金属-半導体電界効果トランジスタ)、HEMT(高電子移動度トランジスタ)等の電界効果トランジスタの製造の際には、ソース電極およびドレイン電極となるオーミック電極をゲート電極に対して常に一定の距離に保つ必要がある。そこで、オーミック電極をゲート電極に対して所定の位置に形成するために、セルフアライメント(自己整合的)オーミック電極形成法が用いられている。

【0003】 図9～図14はセルフアライメントオーミック電極形成法を用いた従来の半導体装置の製造方法を示す工程断面図である。ここでは、一例としてGaAs HEMTの製造方法を説明する。

【0004】 まず、図9に示すように、GaAs半導体基板11上にn-AIGaAs層12aおよびn⁺-GaAs層12bからなる動作層12を形成する。次に、図10に示すように、動作層12上に所定間隔を隔てて絶縁膜13を形成し、絶縁膜13上にレジストパターン14を形成する。そして、図11に示すように、絶縁膜13間の動作層12の領域をエッチングすることによりリセス部(凹部)15を形成する。

【0005】 次に、レジストパターン14をマスクとして、図12に示すように、リセス部15内およびその周縁の絶縁膜13上にゲート電極16を形成する。その後、図13に示すように、ゲート電極16の領域を除く

絶縁膜13を除去する。最後に、図14に示すように、動作層12上およびゲート電極16上にオーミック電極17a、17b、17cを形成する。ゲート電極16の両側方のオーミック電極17a、17bがそれぞれソース電極およびドレイン電極となる。

【0006】 上記のように、セルフアライメントオーミック電極形成法を用いると、ゲート電極16に対してオーミック電極17a、17bの位置を自己制御することができるので、ゲート電極16とオーミック電極17a、17bとの距離を常に所定の値に保つことができる。それにより、半導体装置の特性が安定化する。

【0007】

【発明が解決しようとする課題】 上記の従来の半導体装置の製造方法では、ソース電極とドレイン電極との間の電流の値を制御するために、ゲート電極16が形成される動作層12の領域をエッチングすることによりリセス部15を形成する。

【0008】 このリセス部15の形成時には、オーミック電極が形成されていないので、電流値をモニタしながらエッチング量を制御することができない。そのため、リセス部15を形成するために、n-GaAs層12aおよびn⁺-GaAs層12bのエッチング速度の差を利用した高度な選択エッチング技術を用いる必要があるが、この選択エッチング技術を用いても、リセス部15を正確に所定の深さにエッチングすることは困難である。その結果、製造された半導体装置の特性が均一にならず、歩留りが低いという問題がある。

【0009】 また、上記の従来の半導体装置においては、ゲート電極16がほぼT字状に形成され、ゲート電極16の笠部と動作層12との間に厚い絶縁膜13が存在するため、寄生容量が大きくなり、高周波特性を向上させることができないという問題がある。

【0010】 本発明の目的は、ソース・ドレイン間電流の値をモニタしながら自己整合的に電極形成を行うことができ、かつ寄生容量の小さい半導体装置およびその製造方法を提供することである。

【0011】

【課題を解決するための手段】 本発明に係る半導体装置は、半導体層上に絶縁膜からなる1対の側壁部を上端間の距離が下端間の距離に比べて大きくなるように互いに逆方向に傾斜させて形成し、1対の側壁部の外方の半導体層の領域上にそれぞれ第1の電極層を形成し、1対の側壁部間の半導体層の領域に凹部を形成し、凹部内および1対の側壁部の内面に第2の電極層を形成してなる。

【0012】 本発明に係る半導体装置の製造方法は、半導体層上に断面逆台形状のレジスト膜を形成し、半導体層およびレジスト膜の全面に絶縁膜を形成した後、半導体層の上面およびレジスト膜の上面の絶縁膜を除去し、半導体層の上面およびレジスト膜の上面に第1の電極層を形成し、レジスト膜上の第1の電極層をレジスト膜と

ともに除去することにより絶縁膜からなる傾斜した1対の側壁部を形成し、1対の側壁部間の半導体層の領域に凹部を形成し、凹部内および1対の側壁部の内面に第2の電極層を形成するものである。

【0013】

【作用】本発明に係る半導体装置およびその製造方法においては、半導体層上に絶縁膜からなる1対の側壁部が互いに逆方向に傾斜して形成され、その1対の側壁部の外方の半導体層の領域上に1対のオーミック電極となる第1の電極層が自己整合的に形成された後、1対の側壁部間の半導体層の領域に凹部が形成される。したがって、1対のオーミック電極間に電流を流しつつその電流値をモニタしながら凹部の深さを調整することが可能となる。

【0014】実際には、凹部の形成過程の適当な時点で、ウエハの一部領域またはモニタ用のチップのオーミック電極間に電流を流して電流値を測定し、所定の電流値が得られない場合には、さらに凹部の深さを深くする。これを所定の電流値が得られるまで繰り返す。

【0015】また、凹部内および1対の側壁部の内面にゲート電極となる第2の電極層が形成される。このとき、1対の側壁部の存在によりゲート電極とオーミック電極とが接触することはない。また、ゲート電極がほぼV字状に形成されるので、ゲート電極と半導体層との間の寄生容量が小さくなる。

【0016】

【実施例】以下、本発明の実施例を図面を参照しながら詳細に説明する。図1～図8は本発明の一実施例による半導体装置の製造方法を示す工程断面図である。本実施例では、半導体装置の一例としてGaAs HEMTについて説明する。

【0017】まず、図1に示すように、GaAs半導体基板1上に厚さ500Åのn-AlGaAs層2aおよび厚さ500Åのn⁺-GaAs層2bからなる動作層2を形成する。次に、図2に示すように、動作層2上にポジ型のフォトレジストを用いて厚さ1.9μmのレジストパターン3を形成する。レジストパターン3の断面形状は逆台形状となる。フォトレジストとしては、たとえばヘキストジャパン社製の商品名AZ5214Eを用いる。レジストパターン3の上面の長さL1はたとえば1.5μmであり、下面の長さL2にはたとえば0.5μmである。

【0018】その後、図3に示すように、ECR-CVD法(電子サイクロトロン共鳴化学的気相成長法)を用いて、動作層2およびレジストパターン3の全面に厚さ2000Åの窒化シリコンからなる絶縁膜4を形成する。さらに、図4に示すように、四フッ化炭素(CF₄)を用いたRIE法(反応性イオンエッチング法)により絶縁膜4を除去する。このとき、レジストパターン3の笠部がエッチングマスクとなるため、レジストバ

ターン3の傾斜した両側面およびその下方の領域の絶縁膜4は除去されずに残る。それにより、レジストパターン3の両側面にそれぞれ絶縁膜からなる傾斜した側壁部4a, 4bが設けられる。

【0019】その後、図5に示すように、動作層2の上面およびレジストパターン3の上面に、厚さ700ÅのAuGe、厚さ70ÅのNiおよび厚さ1300ÅのAuの積層構造からなる第1の電極層5を抵抗加熱蒸着法により形成する。次いで、GaAs半導体基板1をアセ

10 トン等の剥離剤中に浸漬してレジストパターン3を溶解させることにより、図6に示すように、レジストパターン3をその上部の第1の電極層5とともに取り除く(リフトオフ工程)。その後、温度450℃で2分間の熱処理を施すことにより、オーミック電極5a, 5bを形成する。

【0020】次に、図7に示すように、リン酸系GaAsエッティング液を用いて、絶縁膜からなる1対の側壁部4a, 4b間に露出している動作層2の領域をエッティングし、リセス部6を形成する(リセスエッティング)。このとき、ウエハ上の一の領域においてまたは同時に作製されているモニタ用のチップにおいて、オーミック電極5a, 5b間に電流を流しつつその電流値をモニタしながらエッティング量を制御し、所望のソース・ドレイン間飽和電流値が得られるようにリセス部6の深さを調整する。実際には、ある程度エッティングした時点でエッティングを中止し、ウエハの一部領域またはモニタ用のチップの電極5a, 5b間に電流を流して電流値を測定し、所定の電流値が得られない場合には、さらにエッティングを行う。これを所定の電流値が得られるまで繰り返す。

【0021】最後に、図8に示すようにオーミック電極5a, 5bの上面、リセス部6内および側壁部4a, 4bの内面に、抵抗加熱蒸着法により厚さ200ÅのTi、厚さ400ÅのPd層および厚さ3000ÅのAuからなる積層構造の第2の電極層7a, 7b, 7cを形成する。

【0022】1対の側壁部4a, 4bの外方に形成されたオーミック電極5a, 5bがソース電極およびドレン電極となり、リセス部6内および1対の側壁部4a, 4bの内面に形成された第2の電極層7cがゲート電極となる。このとき、絶縁膜からなる1対の側壁部4a, 4bの存在により、ゲート電極となる第2の電極層7cがオーミック電極5a, 5bと接触することはない。

【0023】このように、本実施例の半導体装置およびその製造方法によれば、リセス部6の形成前にオーミック電極5a, 5bが形成されるので、リセス部6の形成時にオーミック電極5a, 5b間に電流を流しつつその電流値をモニタしながらエッティング量を制御することにより、所望のソース・ドレイン間飽和電流値が得られるようリセス部6の深さを調整することが可能となる。したがって、製造された半導体装置の特性が均一にな

り、歩留りが向上する。

【0024】また、リセス部6内および1対の側壁部4a, 4bの内面にゲート電極となる第2の電極層7cがほぼV字状に形成されるので、ゲート電極と半導体基板1との間の寄生容量が小さくなる。したがって、半導体装置の高周波特性が向上する。

【0025】なお、本発明はGaAsHEMTに限らず、ゲート電極およびオーミック電極を有する種々の半導体装置に適用することができる。例えば、本発明をIEEE ELECTRON DEVICE LETTERS, VOL. 14, NO. 7, JULY 1993, pp. 354-356に報告されているTMT (Two-Mode channel FET) に適用してもよい。

【0026】

【発明の効果】以上のように本発明によれば、互いに逆方向に傾斜した絶縁膜からなる側壁部の外方に1対のオーミック電極となる第1の電極層を自己整合的に形成した後に、1対の側壁部間の半導体層の領域に凹部を形成することができるので、1対のオーミック電極間に電流を流しつつその電流値をモニタしながら凹部の深さを調整することが可能となる。したがって、オーミック電極をゲート電極に対して自己整合的に形成しつつ、所望のソース・ドレイン間飽和電流値を得ることができる。その結果、半導体装置の特性が均一となり、歩留りが向上する。

【0027】また、凹部内および1対の側壁部の内面にゲート電極となる第2の電極層がほぼV字状に形成されるので、ゲート電極と半導体層との間の寄生容量が小さくなる。したがって、半導体装置の高周波特性が向上する。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体装置の製造方法を示す第1の工程断面図である。

【図2】本発明の一実施例による半導体装置の製造方法を示す第2の工程断面図である。

【図3】本発明の一実施例による半導体装置の製造方法を示す第3の工程断面図である。

【図4】本発明の一実施例による半導体装置の製造方法を示す第4の工程断面図である。

【図5】本発明の一実施例による半導体装置の製造方法を示す第5の工程断面図である。

【図6】本発明の一実施例による半導体装置の製造方法を示す第6の工程断面図である。

【図7】本発明の一実施例による半導体装置の製造方法を示す第7の工程断面図である。

【図8】本発明の一実施例による半導体装置の製造方法を示す第8の工程断面図である。

【図9】従来の半導体装置の製造方法を示す第1の工程断面図である。

【図10】従来の半導体装置の製造方法を示す第2の工程断面図である。

【図11】従来の半導体装置の製造方法を示す第3の工程断面図である。

【図12】従来の半導体装置の製造方法を示す第4の工程断面図である。

【図13】従来の半導体装置の製造方法を示す第5の工程断面図である。

【図14】従来の半導体装置の製造方法を示す第6の工程断面図である。

【符号の説明】

1 GaAs半導体基板

2 動作層

3 レジストパターン

4 絶縁膜

4a, 4b 側壁部

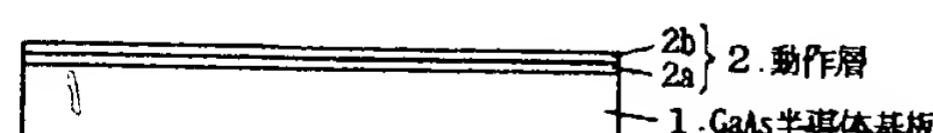
5 第1の電極層

5a, 5b オーミック電極

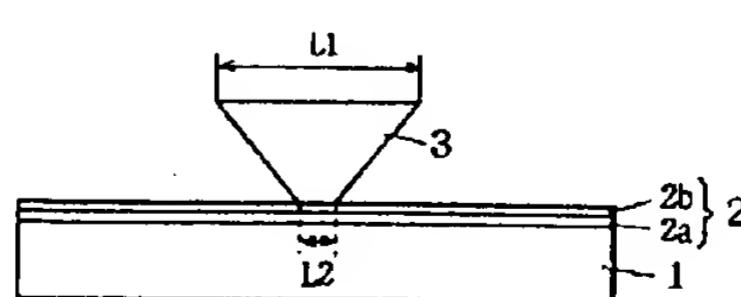
6 リセス部

7a, 7b, 7c 第2の電極層

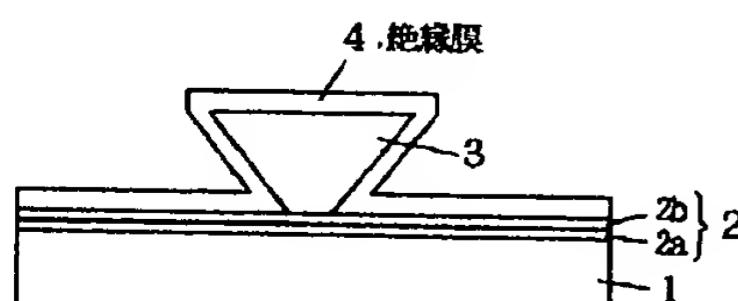
【図1】



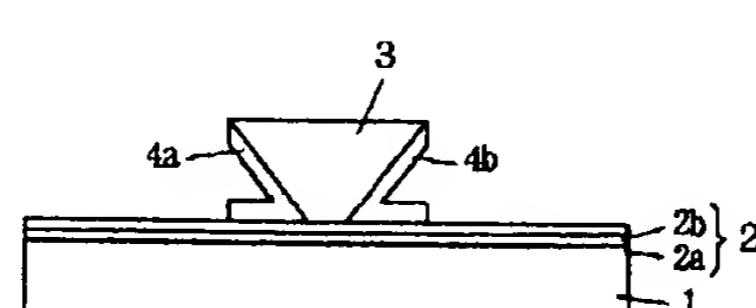
【図3】



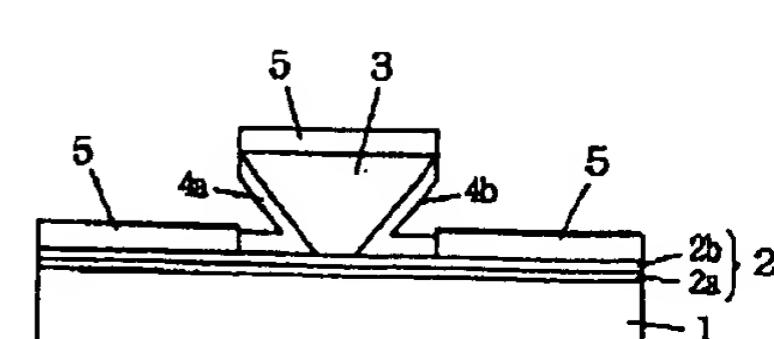
【図2】



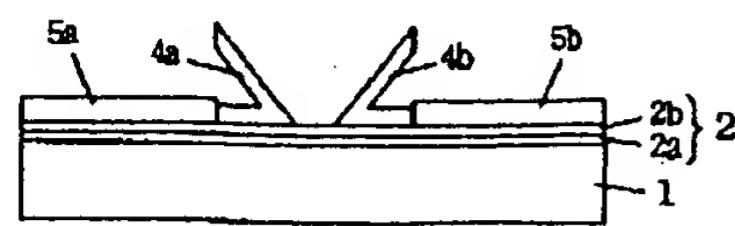
【図4】



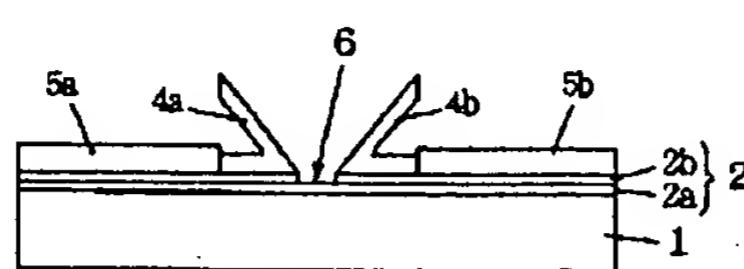
【図5】



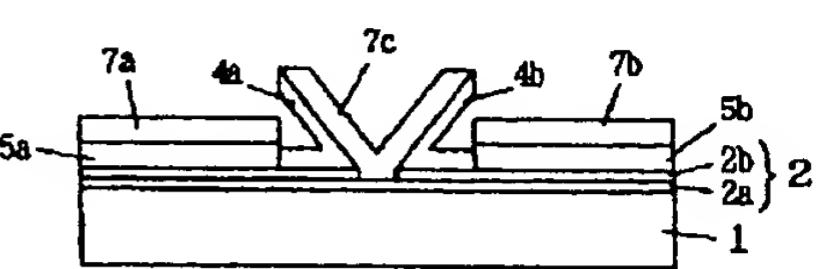
【図6】



【図7】



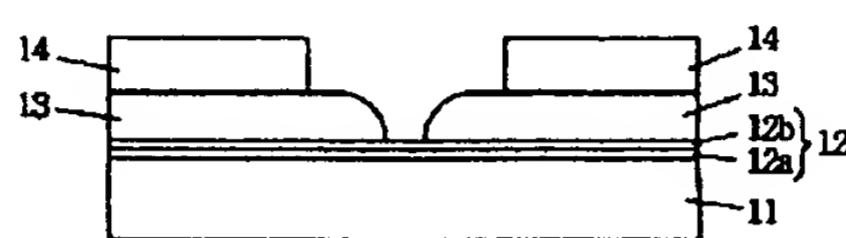
【図8】



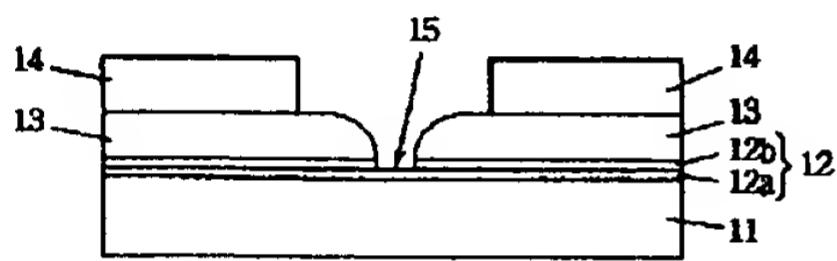
【図9】



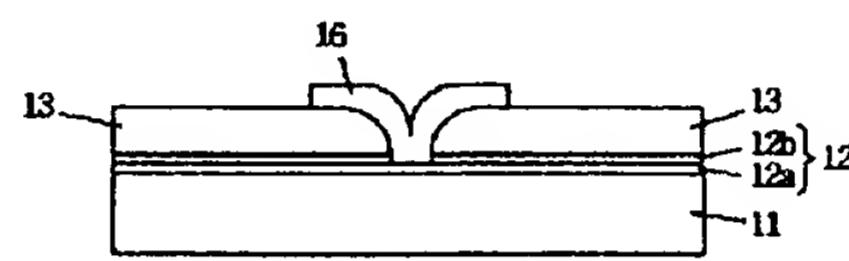
【図10】



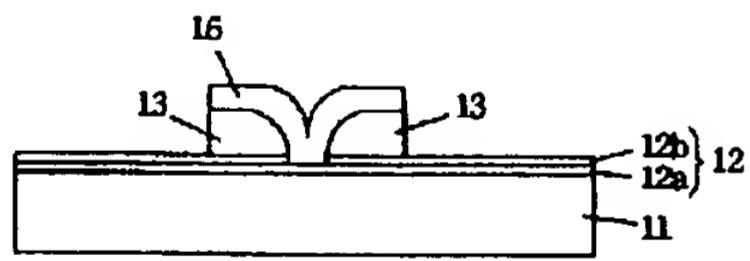
【図11】



【図12】



【図13】



【図14】

